

Desain dan Layout Komparator Presisi pada ADC Pipeline 1-bit/stage untuk Aplikasi Kamera Kecepatan Tinggi

Hamzah Afandi¹⁾ Erma Triawati Ch²⁾ Atit Pertiwi³⁾

¹⁾²⁾ Teknik Elektro Universitas Gunadarma

Jl. Margonda Raya No. 100, Pondokcina, Depok, Jawa Barat

¹⁾hamzah@staff.gunadarma.ac.id, ²⁾ermach@staff.gunadarma.ac.id,

³⁾ Sistem Komputer Universitas Gunadarma

Jl. Margonda Raya No. 100, Pondokcina, Depok, Jawa Barat

³⁾atit@staff.gunadarma.ac.id

ABSTRAK

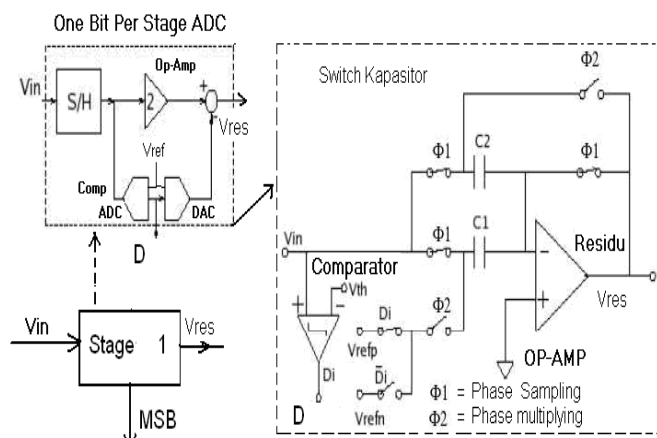
Teknologi CMOS digunakan juga untuk desain analog sehingga banyak chip yang dikembangkan dengan sistem kompleks dengan bantuan CAD (Computer Aided Design). Pengembangan teknologi komponen terpadu (VLSI) semakin pesat dengan ukuran semakin kecil (saat ini telah sampai pada teknologi nano) dan memungkinkan pengembangan SOC (System On Chip) untuk peralatan multimedia, seperti kamera digital kecepatan tinggi. Pada paper ini membahas tentang rangkaian dan layout komparator presisi yang merupakan komponen pendukung untuk chip ADC pipeline yang diaplikasikan pada kamera kecepatan tinggi. Topologi ADC pipeline yang sesuai untuk mendukung kinerja kamera kecepatan tinggi adalah 1-bit/stage, karena komposisi rangkaian pendukung untuk topologi 1-bit/stage lebih sedikit, sehingga mempengaruhi dari sisi konsumsi daya dan area layout. Pada paper ini merupakan hasil penelitian yang merupakan kinerja lebih lanjut setelah desain komparator presisi secara perhitungan manual sudah didapatkan, maka selanjutnya pada penelitian ini dibuat rangkaian dan layoutnya dengan berbantuan tools Mentor Graphics 0,35 μm . Desain komparator presisi yang dirancang memiliki Vos (tegangan Offset) mendekati sama dengan 0V. Cakupan area layout yang diinginkan $125\mu\text{m} \times 35\mu\text{m}$, hal ini didasarkan nilai parameter W (width) dan L (length) pada parameter MOS yang sudah ditetapkan untuk unit komparator presisi.

Kata Kunci: komparator presisi, tegangan Offset, layout

1. Pendahuluan

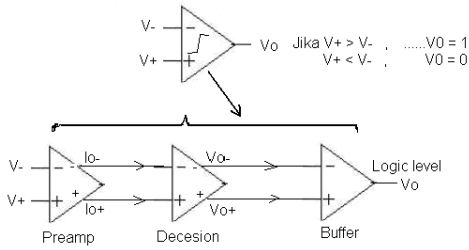
Pada paper ini membahas tentang rangkaian dan layout komparator presisi yang merupakan komponen pendukung untuk chip ADC pipeline yang diaplikasikan pada kamera kecepatan tinggi. Topologi ADC pipeline yang sesuai untuk mendukung kinerja kamera kecepatan tinggi adalah 1-bit/stage, karena komposisi rangkaian pendukung untuk

topologi 1-bit/stage lebih sedikit, sehingga mempengaruhi dari sisi konsumsi daya dan area layout. Diagram blok arsitektur ADC pipeline 1-stage dengan topologi 1-bit/Stage tampak pada gambar 1 yang berisikan beberapa komponen pendukung yaitu, unit OP-AMP high-gain, unit S/H, unit Komparator (ADC), unit Saklar kapasitor (SC), unit DAC, Unit delay (DFF) dan pembangkit pulsa clock non-overlapping.

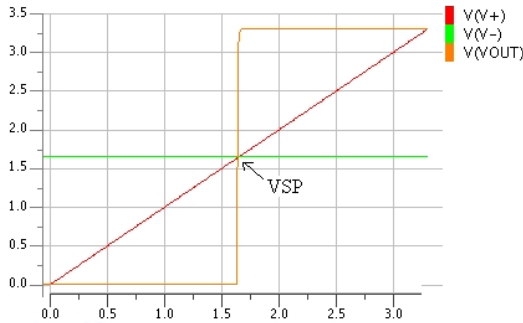


Gambar 1. ADC Pipeline 1-Stage/Stage
[E.P,2005, Dwight U, 2001]

Fungsi komparator sebagai pembanding sinyal masukan dengan tegangan acuan (ADC), keluaran komparator merupakan logika biner 0 atau 1. ADC 1-bit/stage memerlukan sub ADC (komparator) yang teliti dan memiliki ketepatan tinggi. Pada gambar 2 adalah blok diagram komparator presisi.



Gambar 2. Simbol dan Diagram Blok Komparator Presisi [E. Prasetyo,2005] [J.Baker,1998]



Gambar 3. Transient DC Offset Komparator Presisi

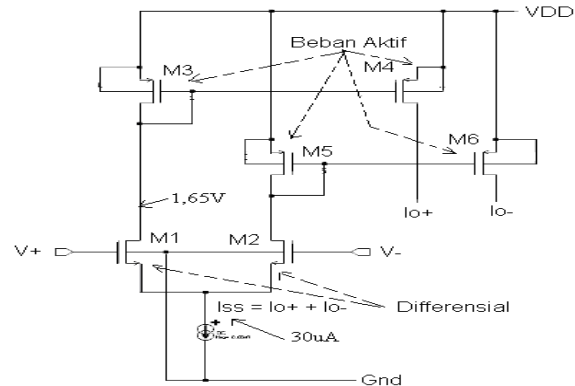
Untuk unit *pre-amp* digunakan jenis *differensial* dan diset untuk input kapasitansi dengan beban aktif, unit *decision* adalah jantung komparator yang berfungsi untuk mengubah dari arus ke tegangan. Selain itu sebagai umpan balik positif dengan menambahkan komponen bersama, digunakan untuk menggeser level *histerisis* dan juga menekan *noise*. Unit penyangga (*buffer*) berfungsi sebagai perantara level tegangan ke logika biner (0,1). Ada beberapa komparator yang menjadi pilihan, misal komparator presisi, latch komparator, lewis-gray komparator, dan differensial dinamik komparator. Dari sekian komparator dengan spesifikasi yang ada, yang sesuai adalah komparator presisi yang memiliki V_{os} mendekati sama dengan 0V seperti pada gambar 2 dan 3 di atas.

2. Desain Komparator Presisi

Pada komparator presisi ada tiga bagian penting yang harus didesain yaitu blok *pre-amp*, blok *decision*, dan blok penyangga (*buffer*). Jika hasil desain komparator presisi dengan metode perhitungan manual yang didasarkan pada spesifikasi yang diinginkan sudah didapat, selanjutnya dari hasil desain tersebut, kemudian disimulasikan dengan CAD mentor graphics dengan teknologi ukuran AMS (Austria Micro System) 0,35 μm CMOS, kemudian hasil simulasi dianalisa. Bila terjadi perbedaan dengan teori maka dilakukan revisi baik pada hitungan manual maupun pada hasil simulasi rangkaiannya.

Dalam desain komparator presisi langkah-langkahnya adalah sebagai berikut :

- Desain blok *pre-amp* yang berfungsi mengubah level tegangan ke level arus tampak pada gambar 4, dengan menentukan penguatan komparator $A_v \approx 5$ untuk meminimalkan *offset error* dengan $I_{ss} = 30\mu\text{A}$ supaya mendapatkan mode bersama pada tegangan $\approx 1,65\text{V}$;



Gambar 4. Rangkaian *Pre-amp* Komparator Presisi

Diketahui $V_{GS3} = 1,65\text{V}$ dan $I_{D3} = 15\mu\text{A}$ maka ukuran M3 adalah

$$I_{D3} = \frac{K_p}{2} \frac{W}{L} (V_{GS3} + V_{THP})^2, \rightarrow \left(\frac{W}{L}\right)_3 = 1,2$$

jika $L_3 = 0,35\mu\text{m}$ maka $W_3 = 0,4\mu\text{m}$

$$\text{Dan } g_{m3} = \sqrt{2 \cdot k_p \cdot \frac{W}{L} I_{D3}} = 48\mu\text{A/V} \text{ sehingga}$$

dapat diketahui nilai g_{m1} ;

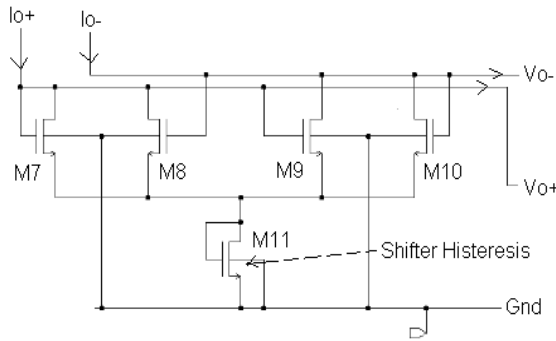
$$A_v = \frac{g_{m1}}{g_{m3}} = \frac{\sqrt{K_n \frac{W_1}{L_1}}}{\sqrt{K_p \frac{W_3}{L_3}}} \rightarrow 5 = \frac{g_{m1}}{48} \rightarrow \text{dan}$$

$g_{m1} = 248\mu\text{A/V}$ dan dapat untuk menentukan ukuran M1 ; $\left(\frac{W}{L}\right)_1 = 10,8$ dan jika $L_1 = 0,35\mu\text{m}$ maka $W_1 = 3,8\mu\text{m}$.

Sehingga ukuran $M_1 = M_2$ dan $M_3 = M_4 = M_5 = M_6$.

Besar $I_{o+} = I_{o-} = 15\mu\text{A}$ (awal).

- Desain blok *decision*, merupakan jantung dari komparator dimana mengubah arus menjadi tegangan dengan menambahkan penggeser level *histerisis* untuk meminimalkan *noise* yang terjadi, seperti tampak pada gambar 5;



Gambar 5. Rangkaian Blok *Decision* Komparator Presisi

Untuk menentukan ukuran M7 sampai dengan M11, harus diketahui spesifikasi dari rangkaian *decision*, $V_{SP} = 1,65V$. Dengan catatan level V_{o+} dan V_{o-} dibatasi pada $2V_{THN}=0,92V$. Sehingga $V_{GS7,10} = 0,659V$ dan $V_{GS11} = 0,73V$ dan ukuran $M7=M10$, $M8=M9$ dan M11 adalah sebagai berikut;

Dimana $I_{D7}=I_{D10} = \frac{I_{o+}}{2} = 7,5 \mu A$ dan ukuran $(\frac{W}{L})_{7,10} = 2$

$L=0,35\mu m, W=0,7 \mu m$

Dengan syarat $\beta_7 = \beta_{10} = \beta_A$ dan $\beta_8 = \beta_9 = \beta_B$ $\beta_B > 2\beta_A$ sehingga ukuran M8 dan M9 adalah $L=0,35\mu m, W=1,4 \mu m$.

Diket $I_{D11} = 30\mu A$, maka ukuran M11;

$(\frac{W}{L})_{11} = \frac{I_{D11} * 2}{K_n * (V_{GS} - V_{THN})^2} = 4,4$ sehingga nilai

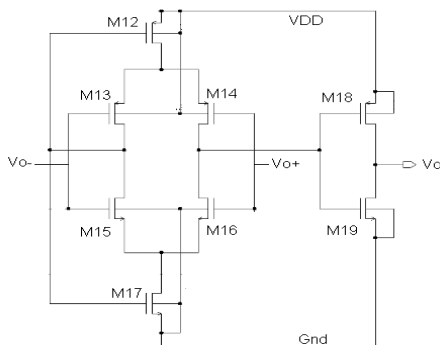
$L=0,35\mu m, W=1,54 \mu m$

Dan

$$V_{SPH} = V_{o+} - V_{o-} = \frac{I_{SS}}{g_m} \cdot \frac{\beta_B - 1}{\beta_B + 1} \cdot \frac{\beta_A}{\beta_A} \text{ for } \beta_B \geq \beta_A, \rightarrow V_{SPH}$$

$= V_{SPL} = 40mV$ dari V_{SP} .

- Desain blok penyangga (*buffer*) tampak pada gambar 6, merupakan rangkaian pengubah level tegangan differensial ke logika biner (0 dan 1). Dengan menerapkan pembiasan sendiri dan menambahkan penyangga not untuk meningkatkan penguatan dan mengisolasi dari beban kapasitif terhadap pembiasan sendiri.



Gambar 6. Rangkaian Blok Penyangga Komparator Presisi.

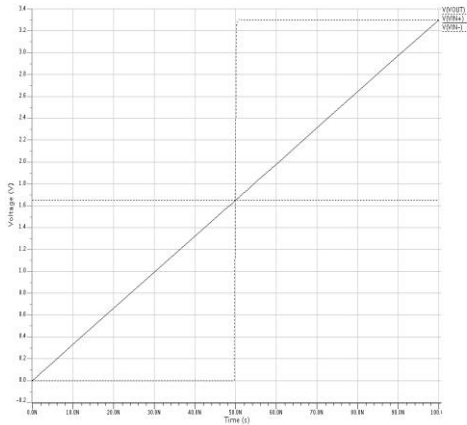
Dimana V_{o+} dan V_{o-} bergerak dari titik tengah $1,65V$ atau $V_{DD}/2$ maka dapat ditentukan ukuran M12 sampai M19 dengan aturan dari gerbang NOT, pada gambar 6 M18 dan M19 membentuk gerbang NOT, sehingga ukuran transistor PMOS = 2/3 dan NMOS = 1/3 jika $L_{18,19} = 0,35\mu m, W_{18} = 1,4 \mu m$ dan $W_{19} = 4,2\mu m$. Dengan cara sama maka dapat ditentukan ukuran ;
 M12 ; $L_{12} = 0,35\mu m, W_{12} = 4,2 \mu m$
 M13 dan M14 ; $L_{13,14} = 0,35\mu m, W_{13,14} = 2,1 \mu m$
 M15 dan M16 ; $L_{15,16} = 0,35\mu m, W_{15,16} = 0,7 \mu m$
 M17 ; $L_{17} = 0,35\mu m, W_{17} = 1,4 \mu m$.
 Hasil perhitungan manual W/L komparator presisi keseluruhan pada tabel 1.

Tabel 1. Hasil Perhitungan Manual Komparator Presisi

Komponen	Parameter $\frac{W}{L} (\mu m)$	MOS	Arus Drain (μA)
M1	3,8/0,35	NMOS	15
M2	3,8/0,35	NMOS	15
M3	0,4/0,35	PMOS	15
M4	0,4/0,35	PMOS	15
M5	0,4/0,35	PMOS	15
M6	0,4/0,35	PMOS	15
M7	0,7/0,35	NMOS	7,5
M8	1,4/0,35	NMOS	7,5
M9	1,4/0,35	NMOS	7,5
M10	0,7/0,35	NMOS	7,5
M11	1,54/0,35	NMOS	30
M12	4,2/0,35	PMOS	30
M13	2,1/0,35	PMOS	15
M14	2,1/0,35	PMOS	15
M15	0,7/0,35	NMOS	15
M16	0,7/0,35	NMOS	15
M17	1,4/0,35	NMOS	30
M18	4,2/0,35	PMOS	30
M19	1,4/0,35	NMOS	30
PD	Disipasi Daya	19MOS	396,8uW

3. Simulasi Komparator Presisi

- Simulasi tegangan *offset* V_{os} .



Gambar 7. Hasil Simulasi Karakteristik Vos Komparator Presisi

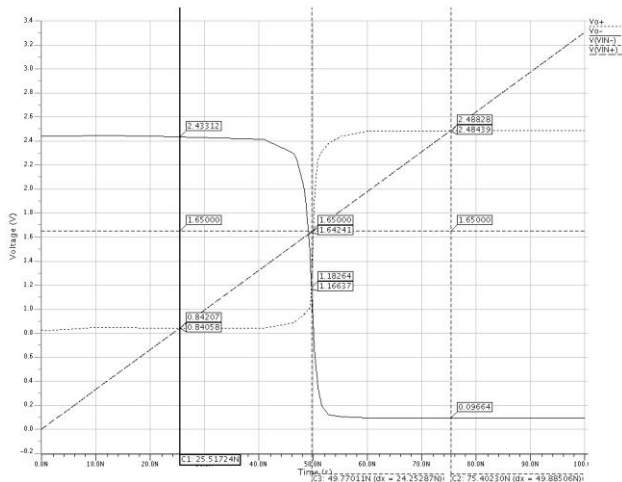
Hasil simulasi pada gambar 7 dapat dijelaskan dengan memberikan masukan V_{in-} dengan tegangan DC 1,65V dan masukan V_{in+} variabel DC dari 0V sampai dengan 3,3V, didapatkan perubahan keluaran (v_{out}) dengan titik setpoint pada 1,65V. Saat v_{in} 0V s/d 1.65V maka $V_{out} = 0V$ (0) kemudian saat v_{in} bergerak dari 1,65V s/d 3,3V maka $V_{out} = 3,3V$ (1)

- Simulasi tegangan setpoint VSP.

Tabel 2. Perbandingan Hasil Perhitungan Manual dan Simulasi Tegangan VSP

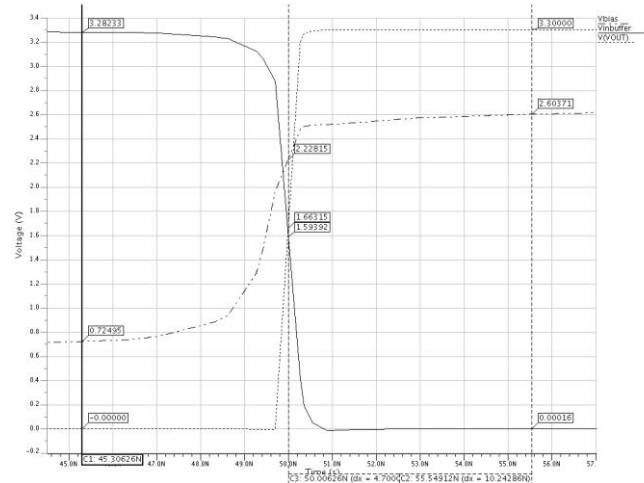
No	Parameter	Manual	Simulasi
1	V_{o+}	0,73V s/d 2,57V	0,84V s/d 2,48V
2	V_{o-}	0,73V s/d 2,57V	0,1V s/d 2,43V
3	VSP	1,65V	1,18V

Tegangan set point penyangga (NOT) pada posisi 1,66V mendekati level setpoint perhitungan 1,65V. Pergerakan tegangan bias dari 0,72V sampai dengan 2,6V seperti pada tabel 2 dan hasil simulasi rangkaian *pre-amp* dan *decision* pada gambar 8.



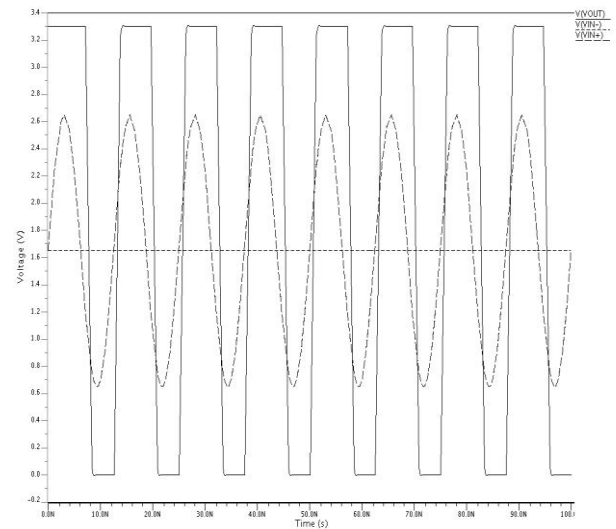
Gambar 8. Hasil Simulasi Karakteristik VSP Komparator Presisi

Hasil simulasi rangkaian penyangga pada gambar 9, keluaran komparator mempunyai level keluaran pada logika biner (0= 0V dan 1 = 3,3V).

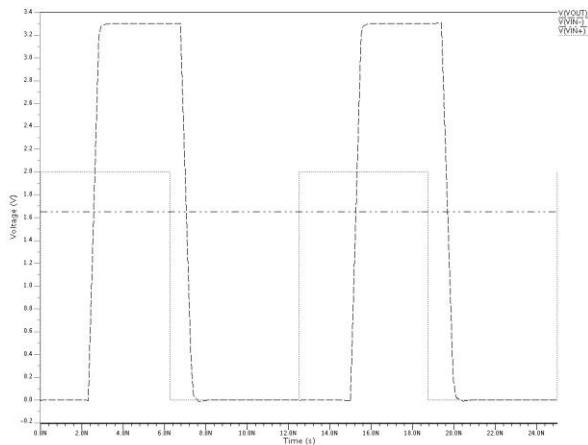


Gambar 9. Hasil Simulasi Karakteristik Penyangga Komparator Presisi

- Simulasi transient komparator presisi.



Gambar 10. Hasil Simulasi Karakteristik delay Komparator Presisi (Sinus)



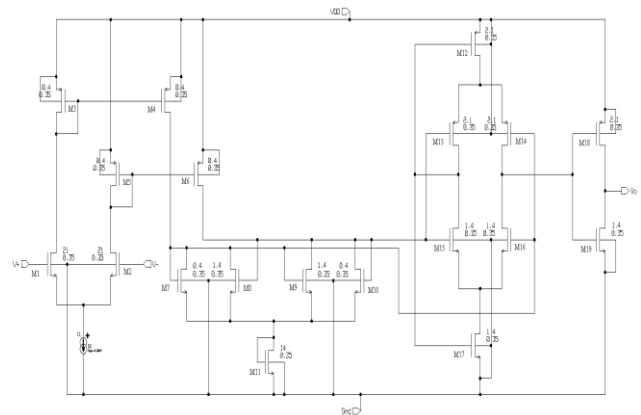
Gambar 11. Hasil Simulasi Karakteristik delay Komparator Presisi (Kotak)

Pada gambar 10 dan 11 pengujian dengan melihat efek delay perbandingan antara Vin- dan Vin+ dengan keluaran Vout. Frekuensi yang diberikan adalah 80MHz, pada gelombang kotak dihasilkan perbedaan periode tinggi dan rendah dan ini tidak dijumpai pada simulasi dengan gelombang sinus.

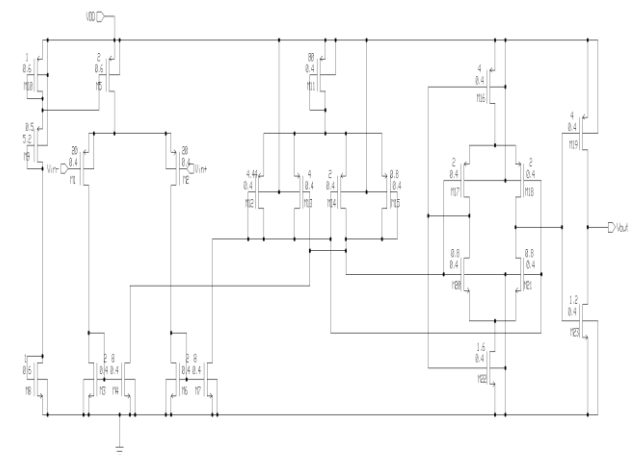
Tabel 3. Perubahan Nilai W/L Pada Komparator Presisi

No	Ketr	Simulasi Pertama	Simulasi Kedua	Eri Prasetyo[2005]
1	M1	3,8/0,35	21/0,35	3/0,6
2	M2	3,8/0,35	21/0,35	3/0,6
3	M3	0,4/0,35	0,4/0,35	0,8/0,6
4	M4	0,4/0,35	0,4/0,35	0,8/0,6
5	M5	0,4/0,35	0,4/0,35	0,8/0,6
6	M6	0,4/0,35	0,4/0,35	0,8/0,6
7	M7	0,7/0,35	0,4/0,35	0,8/0,6
8	M8	1,4/0,35	1,4/0,35	0,8/0,6
9	M9	1,4/0,35	1,4/0,35	0,8/0,6
10	M10	0,7/0,35	0,4/0,35	0,8/0,6
11	M11	1,54/0,35	14/0,35	30/0,6
12	M12	4,2/0,35	2,1/0,35	0,8/0,6
13	M13	2,1/0,35	2,1/0,35	0,8/0,6
14	M14	2,1/0,35	2,1/0,35	0,8/0,6
15	M15	0,7/0,35	1,4/0,35	0,8/0,6
16	M16	0,7/0,35	1,4/0,35	0,8/0,6
17	M17	1,4/0,35	1,4/0,35	0,8/0,6
18	M18	4,2/0,35	2,1/0,35	0,8/0,6
19	M19	1,4/0,35	1,4/0,35	0,8/0,6
20	PD	396,8uW	410,56uW	-
21	VSP	1,18V	1,36V	-

Perubahan parameter W/L dari simulasi pertama yang didasarkan dari perhitungan manual, kemudian dilakukan perbaikan karakteristik komparator presisi didapatkan parameter W/L pada simulasi kedua seperti pada tabel 3 dan gambar 12, perbandingan nilai parameter W/L desain komparator 0,35µm dengan parameter W/L desain 0,6µm [Eri.P,2005]

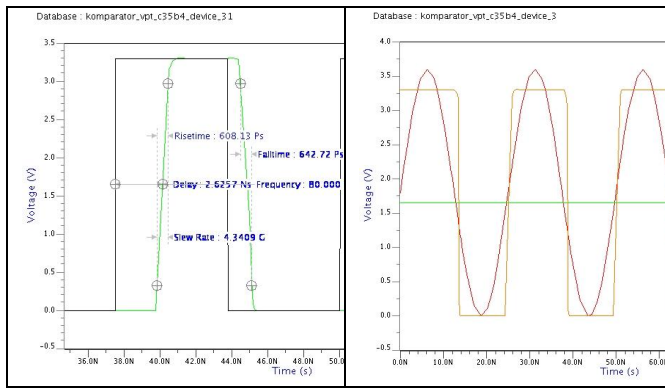


Gambar 12. Rangkaian Simulasi kedua Komparator Presisi



Gambar 13. Rangkaian Simulasi Ketiga Komparator Presisi

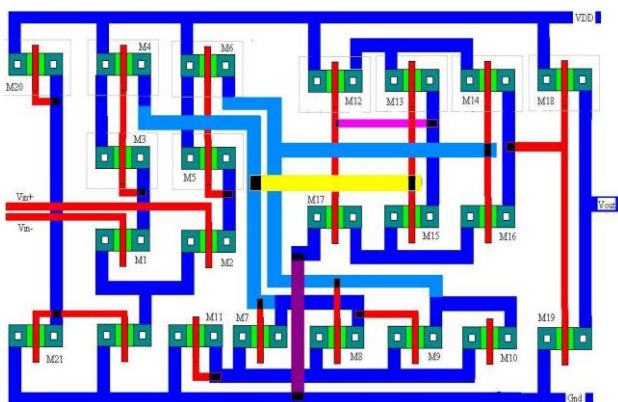
Rangkaian komparator pada gambar 13 memiliki perbedaan topologi dengan rangkaian komparator presisi pada gambar 12 di mana perbedaan pada bagian *pre-amp* differensial menggunakan transistor PMOS dan bagian *decision* menggunakan PMOS serta penyangga sama dengan gambar 12. perubahan hasil simulasi pada tegangan VSP diperoleh 1,59V dan perubahan delay saat diberikan masukan gelombang sinus dan kotak. Hal ini dikarenakan perubahan arah arus Io+ dan Io- yang menghasilkan Vo+ dan Vo- untuk menentukan tegangan set point pada level mendekati 1,65V, dengan arus bergerak dari M11, dengan perbandingan dari M12 s/d M15 yaitu $\beta_{12} \times \beta_{15} = \beta_A$ dan $\beta_{13} \times \beta_{14} = \beta_B$ $\beta_B > 2\beta_A$, M3 s/d M7 membentuk cermin arus yang berfungsi menghasilkan Io+ dan Io- dan mengontrol nilai Vo+ dan Vo-. M8 s/d M10 sebagai sumber arus tetap untuk bias M5 dan menghasilkan arus Iss. Hasil simulasi komparator presisi dari gambar 13 didapatkan bentuk gelombang pada gambar 14 di mana dengan memberikan sinyal masukan AC kotak dan sinus.



Gambar 14. Hasil Simulasi Ketiga Komparator Presisi

4. Desain Lay-Out Komparator Presisi

Desain yang dilakukan pada gambar 15 merupakan lay-out komponen komparator presisi. Cakupan area yang diinginkan $125\mu\text{m} \times 35\mu\text{m}$, hal didasarkan nilai parameter W dan L untuk unit komparator presisi lebih kecil bila dibandingkan dengan parameter komponen *op-amp*, sehingga tidak membutuhkan ruangan lebih banyak. Penghubung tiap kaki drain dan source komponen MOS menggunakan metal satu, penghubung gate menggunakan poly satu, antara poly satu dengan metal satu menggunakan via poly-1 metal-1. Masukan *inverting* dan *non inverting* menggunakan poly satu. Karena komponen lebih kompleks dari *op-amp* dalam desain digunakan penghubung dua metal dan satu poly.



Gambar 15. Desain Lay-Out Komparator Presisi

5. Kesimpulan

Pada unit komparator presisi (sub ADC), simulasi ditekankan pada *offset* komparator dan level *hysteresis*

untuk menekan *noise*, simulasi-simulasi tersebut adalah simulasi tegangan *offset Vos*, simulasi tegangan *setpoint* didapat adalah penguatan komparator $A_v \approx 5$ untuk meminimalkan offset error dengan $I_{ss} = 30\mu\text{A}$ supaya mendapatkan mode bersama pada tegangan $\approx 1,65\text{V}$. Desain lay-out komponen komparator presisi menempati area $125\mu\text{m} \times 35\mu\text{m}$.

REFERENSI

- [1] Anonim, "Parameter Ruler Design CMOS AMS $0,35\mu\text{m}$," Mentor Graphics Corporation.. <http://www.mentor.com/ams.html>, 2008.
- [2] B.-S. Song, La Jolla, and Gilman, "Design CMOS Analog-to-Digital Converter," ECE264C, International WorkShop in University of California, San Diego, 2007
- [3] B. Razavi, "Design of Analog CMOS Integrated Circuits". McGraw Hill, University of California, Los Angeles, 2001.
- [4] D.Schroder, "Semiconductor material and device characterization," volume Chapter 8. John Willey and Sons Inc, 1990.
- [5] Dwight U. Thomson and Bruce A. Wooley, "A 15-b pipelined CMOS floating point A/D converter, " *Journal of IEEE Solid State Circuit*, vol. 36, no. 2, February 2001.
- [6] Eri Prasetyo, Dominique Ginhac and M. Paindavoine, "Principles of CMOS sensors dedicated to face tracking and recognition", In IEEE CAMP05 International Workshop on Computer Architecture for Machine Perception, July 2005.
- [7] Jacob Baker and D. E. Boyce, "CMOS Circuit Design, Layout and Simulation." IEEE Press on Microelectronic Systems, 1998.