

Simulasi dan Analisa Desain Pembangkit Pulsa Clock Non-Overlapping untuk Aplikasi ADC Pipeline 1-bit/stage Menggunakan CMOS Teknologi AMS 0,35 μ m

Atit Pertiwi¹, Hamzah Afandi²

Teknik Elektro, Universitas Gunadarma
Jln. Margonda Raya No. 100 Depok, Jawa Barat, 16424

¹atit@staff.gunadarma.ac.id

²hamzah@staff.gunadarma.ac.id

ABSTRAK

Pada paper ini membahas tentang simulasi dan analisa desain pembangkit pulsa Clock Non-overlapping yang merupakan hasil perhitungan secara manual. Pada proses phase sampling dan multiplying pada ADC memerlukan pulsa clock dengan mode yang tidak bersinggungan (lapping). Lebar perioda clock non-overlapping disesuaikan dengan waktu konstans pada proses sampling dan multiplying. Dengan menggunakan frekuensi clock 80MHz atau sama dengan 12,5ns dengan 6,25ns perioda tinggi dan 6,25ns perioda rendah, sehingga diperlukan 4 macam clock yang berbeda periodanya, dengan fase tiap sinyal dan lebar perioda berbeda yang di dasarkan pada fungsi pulsa clock. Jumlah total perioda tiap pulsa sama dengan 12,5ns atau sama dengan frekuensi 80MHz. Hasil simulasi menunjukkan perioda Q1 dan Q1a digunakan sebagai clock phase sampling, Q1a lebih dulu menutup sebesar 111,08 pS (t_{lag}), hal ini untuk menjadi muatan di C1 dan C2 supaya tidak mengalami penurunan dan menghilangkan efek crossing saklar. Q2 dan Q2a digunakan sebagai clock phase multiplying dan terdapat perbedaan waktu yang diharapkan sama dengan t_{lag} agar sama waktunya pada saat stage selanjutnya, selisih waktu antara Q1 dan Q2 adalah t_{nov} sebesar 52 pS difungsikan untuk menjaga muatan di C1 dan C2 tidak berubah saat pergantian saklar dari phase sampling ke multiplying.

Kata kunci : *sampling, multiplying, pembangkit pulsa, non-overlapping*

Pendahuluan

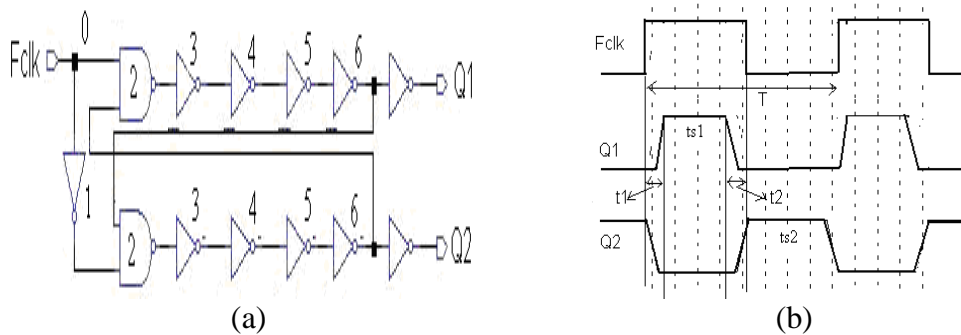
Penelitian ini merupakan bagian dari penelitian yang bertujuan mendesain ADC yang mampu mendukung kamera kecepatan tinggi 10.000 frames/s. Dari studi dan analisa literatur didapatkan bahwa untuk mendukung kinerja kamera tersebut maka desain ADC yang sesuai adalah dari sisi kecepatan minimal memiliki konversi 80 MSPS, dari sisi resolusi minimal 8-bit dan diharapkan dari sisi biaya desain tidak terlalu tinggi.

Melihat dari permasalahan spesifikasi ADC di atas maka pemilihan jenis ADC apabila dilihat dari sisi kecepatan yang sesuai adalah jenis pipeline. Hal ini dikarenakan ADC pipeline memiliki konsumsi daya kecil, yang menyebabkan kebutuhan komponen pendukung lebih sedikit. Topologi yang sesuai untuk mendukung kinerja kamera kecepatan tinggi adalah 1-bit/stage, karena dilihat dari sisi konsumsi daya dan area layout topologi 1-bit/stage lebih baik dibandingkan dengan topologi lainnya. Desain ADC pipeline untuk satu stage membutuhkan komponen pendukung op-amp, komparator, saklar kapasitor (SC) dan pembangkit pulsa clock.

Dalam paper ini, penulis focus membahas pada masalah pembangkit pulsa clock yang dibutuhkan pada proses phase sampling dan multiplying pada ADC jenis Pipeline.

Desain Pembangkit Pulsa Clock Non-Overlapping.

Proses phase sampling dan multiplying pada ADC memerlukan pulsa clock dengan mode yang tidak bersinggungan (lapping), dengan memanfaatkan tunda (delay) suatu gerbang NOT dan NAND didapatkan penundaan perioda frekuensi masukan (Fclk), dengan membalik Fclk dan mengalikan umpan-balik terhadap masukan didapatkan perbedaan perioda Q1 dan Q2 tampak pada gambar 1a.

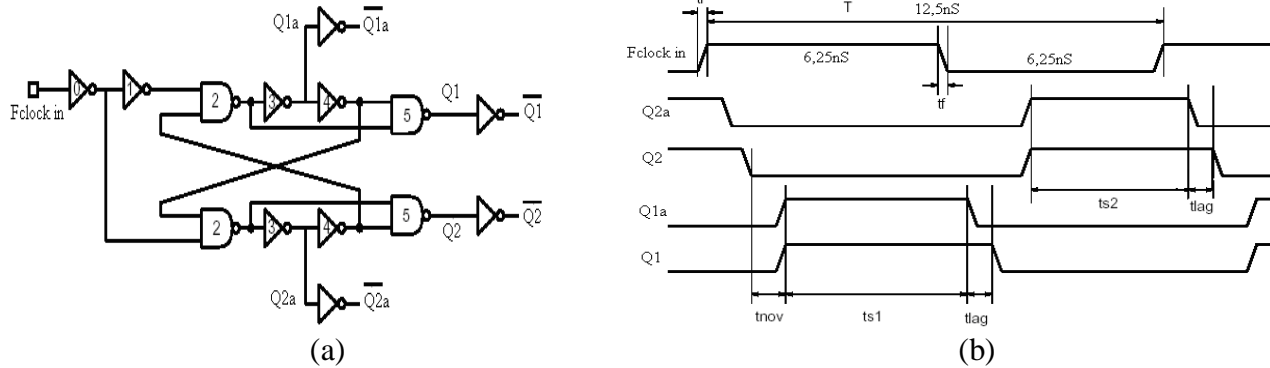


Gambar 1. (a) Rangkaian pembangkit Pulsa Clock Non-Overlapping dan (b) Bentuk Pulsa Keluaran

Bentuk gelombang keluaran tampak pada gambar 1b. Frekuensi clock dengan perioda (T) dibagi menjadi dua (T/2) dengan duty-cycle 50%, ts1 adalah waktu settling op-amp untuk proses sampling di mana lebar perioda (T/2-t1-t2) dan ts2 adalah waktu settling op-amp untuk proses multiplying di mana lebar perioda (T/2-t3). Lebar perioda clock non-overlapping disesuaikan dengan waktu konstansi pada proses sampling dan multiplying dengan nilai resistansi Ron pada tiap saklar MOS yang digunakan sehingga dapat ditentukan perbedaannya waktunya, dengan menggunakan frekuensi clock 80MHz atau sama dengan 12,5ns dengan 6,25ns perioda tinggi dan 6,25ns perioda rendah. Sehingga diperlukan 4 macam clock yang berbeda periodanya (Q1,Q2,Q1a,Q2a), seperti pada tabel 1 dan gambar 2a. ts1 adalah waktu settling op-amp pada ADC pipeline untuk phase sampling (Φ1) dan ts2 adalah waktu settling op-amp untuk phase multiplying (Φ2), tlag adalah waktu antara Q1a dengan Q1 dimana delay dipergunakan untuk membuka lebih dulu proses sampling untuk mereduksi sinyal yang bergantung dengan pengisian muatan (charge injection), tnov adalah waktu non-overlap interval selama phase mana yang aktif.

Tabel 1 Delay Pada Clock Non-Overlapping.

ts1	$\frac{T}{2} - tr - t2 - t3 - t4 + t1 + tf$
ts2	$\frac{T}{2} - tf - t1 - t2 - t3 - t4 + tr$
tlag	$t4 + t5$
tnov	$\min(t2, t2 + t3 - t5)$

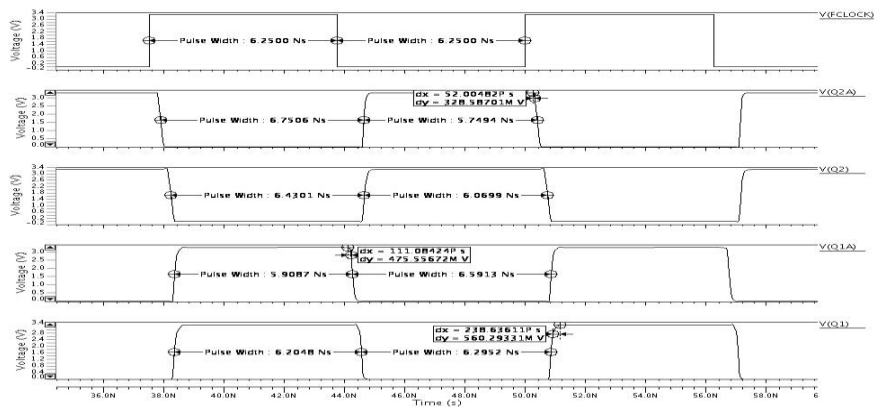


Gambar 2. (a) Rangkaian Unit Clock Non-Overlapping dan (b) Bentuk Gelombang Keluaran

Bentuk gelombang keluaran pembangkit clock non-overlapping pada gambar 2b. dengan fase tiap sinyal dan lebar perioda berbeda yang di dasarkan pada fungsi pulsa clock. Q1 dan Q1a untuk fase sampling dan Q2 dan Q2a untuk fase multiplying, jumlah total perioda tiap pulsa sama dengan 12,5ns atau sama dengan frekuensi 80MHz.

Simulasi dan Analisa Desain Pembangkit Pulsa Clock Non-Overlapping.

Simulasi yang dilakukan terhadap desain rangkaian Pembangkit Pulsa Clock Non-Overlapping dengan menggunakan perangkat lunak simulasi mentor graphics dengan teknologi AMS 0,35 μ m CMOS. Simulasi di titikberatkan pada karakteristik Pembangkit Pulsa Clock Non-Overlapping yang diaplikasikan pada ADC pipeline. Hasil simulasi tersebut yaitu:

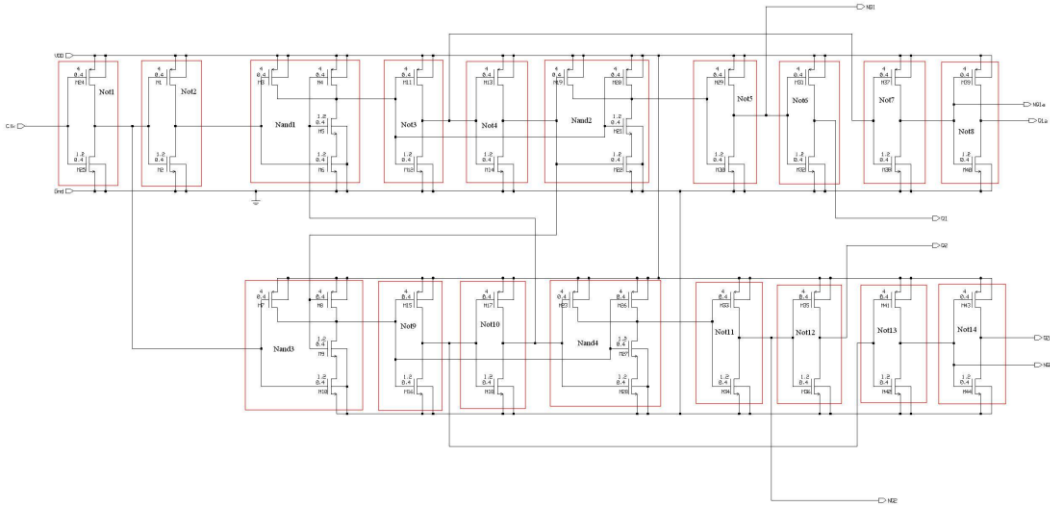


Gambar 5. Hasil Simulasi Clock Non-Overlapping 2 Fase.

Hasil simulasi pada gambar 3 menunjukkan perioda Q1 dan Q1a digunakan sebagai clock phase sampling. Q1a lebih dulu menutup sebesar 111,08 pS (tlag), hal ini untuk menjadikan muatan di C1 dan C2 tidak mengalami penurunan dan menghilangkan efek crossing saklar. Q2 dan Q2a digunakan sebagai clock phase multiplying dan terdapat perbedaan waktu yang diharapkan sama dengan tlag agar sama waktunya pada saat stage selanjutnya. Selisih waktu antara Q1 dan Q2 adalah tnov sebesar 52 pS difungsikan untuk menjaga muatan di C1 dan C2 supaya tidak berubah saat pergantian saklar dari phase sampling ke multiplying.

Pada saat diaplikasikan pada switch kapasitor, pembangkit pulsa clock menghasilkan tegangan residu. Tegangan residu adalah hasil tegangan keluaran satu stage yang menjadi masukan

untuk stage selanjutnya. Rangkaian pembangkit clock non-overlapping dua fase ditunjukkan pada gambar 4.



Gambar 4. Rangkaian Pembangkit Clock Non-Overlapping Dua Fase.

Kesimpulan

Pembangkit pulsa clock 2 fase mempunyai kelemahan, yaitu pada saat proses multiplying pada stage yang pertama dan proses sampling pada stage ke 2 apabila berlangsung secara bersamaan akan menimbulkan noise pada tegangan residu.

Berdasarkan hal tersebut dikembangkan desain Clock non-overlapping dengan 3 fase pulsa, yaitu fase sampling, fase amplifying, dan fase hold.

DAFTAR PUSTAKA

- Anonim, "Parameter Ruler Design CMOS AMS 0,35um," Mentor Graphics Corporation.. <http://www.mentor.com/ams.html>, 2008.
- A. Shabra and Hae-Seung Lee, "Over sampled pipelined A/D converter with mismatch shaping," *Journal of IEEE Solid State Circuit*, vol. 37, no. 5, May 2002.
- A.N Karanicolas , H.S Lee and K.L Bacrania " A 15-bit 1 – Msample/s digitally sel-calibrated pipeline." *IEEE J Solid-state Circuit*, Vol 28 PP, 12071215,dec1993.
- B.-S. Song, La Jolla, and Gilman, " *Design CMOS Analog-to-Digital Converter*," ECE264C, International WorkShop in University of California, San Diego,2007
- B.-S. Song, M. F. Tompset, and K. R. Lakshmikummar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter," *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 1324–1333, Dec. 1988
- Boris Murmann and Bernhard E. Boser, " A 12b 75MS/s Pipelined ADC using Open-Loop Residue Amplification," *IEEE International Solid-State Circuits Conference*, 2003.
- Cheongyuen B.T , " *Digitally Calibrated Analog-to-Digital Converters in Deep Sub-micron CMOS*," No.67 UCB/EECS, 22 May 2008

- Dwight U. Thomson and Bruce A. Wooley, "A 15-b pipelined CMOS floating point A/D converter," *Journal of IEEE Solid State Circuit*, vol. 36, no. 2, February 2001.
- Eri Prasetyo, Dominique Ginhac and M. Paindavoine, "principles of CMOS sensors dedicated to face tracking and recognition", In IEEE CAMP05 International Workshop on Computer Architecture for Machine Perception, July 2005.
- Eri Prasetyo Hamzah Afandi and M. Paindavoine, "Desain ADC Pipeline 8-bit 80MSPS Untuk Aplikasi Kamera Kecepatan Tinggi," Kommit 2006, Universitas Gunadarma, 2006
- Eri Prasetyo, Hamzah Afandi, Dominique Ginhac and M. Paindavoine, "A 8-bits Pipeline ADC Design For High Speed Camera Application," IES 2007, ITS 2007
- Hamzah Afandi, Eri Prasetyo, Brahmantyo, M. Paindavoine, "Design Embedded Pipeline ADC CMOS 0,35 μ m Inside High Speed Camera", 11th Int'l Symposium on Quality Electronic Design-Asia (ASQED 2009).
- Hao-Yu, xun-Gong, and Juo-Jung hung, "A low power 10 bits 80 Msamples pipeline ADC", Technical report, ECCS department University of Michigan tech., 2003.
- Jérôme Dubois, Dominique Ginhac, Michel Paindavoine, and Barthélémy Heyrman, "A 10 000 fps CMOS Sensor with Massively Parallel Image Processing", *IEEE Journal of Solid-State Circuits*, 43(3) :706-717, March 2008.
- Jérôme Dubois, Dominique Ginhac, Michel Paindavoine, "VLSI Design of a High-Speed CMOS Image Sensor with in-situ 2D Programmable Processing", EUSIPCO 2006, September 8, 2006, Florence, ITALY
- Jae Ki Yoo, B.E., M.S, "A Background Calibration Technique and Self Testing Method for the Pipeline Analog to Digital Converter," A dissertation, University of Texas at Austin, December 2004.
- Jacob Baker and D. E. Boyce, "CMOS Circuit Design, Layout and Simulation." IEEE Press on Microelectronic Systems, 1998.
- Kush Gulati and Hae-Seung Lee, "A low-power CMOS reconfigurable analog-to-digital converter." *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 36, NO. 12, December 2001.
- M. Paindavoine, "High-speed camera with embedded real time image processing", in seminar information technology of Gunadarma University, June 2006.
- M. Dessouky and A. Kaiser, "Very low-voltage fully differential amplifier for switched-capacitor applications," *IEEE ISCAS*, pp. 441-444, May 2000.
- Paul C. Yu "A 2,5V 12-bit 5MSPS CMOS ADC" *IEEE J Solid-state Circuit*, November, 2000.
- Roger .T.H, "Microelectronic Design dan implementation" Printice Hall., 1997
- R. Samer and Jan Van der Spiegel and K. Nagaraj, "Background digital error correction technique for pipeline ADC," *IEEE*, 2001.
- Seung-Chul Lee, Young-Deuk Jeon, and Jong-Kee Kwon, "A 9-Bit 80-MS/s CMOS Pipelined Folding A/D Converter with an Offset Canceling Technique," *ETRI Journal*, Volume 29, Number 3, June 2007.
- S.H. Lewis, H. Scott Feterman, George F. Gross Jr., R. Ramachandran, and T.R. Vismanathan., "10-b 20 Msamples/s analog to digital converter", *Journal of IEEE solid state circuit*, 27:351-358, March 1992.
- Timothy M. Hancock, Scott M. Pernia, and Adam C. Zeeb, "A digitally corrected 1.5 bits/stage low power 80 Msamples/s 10-bits pipelined ADC", technical report, University of Michigan, December 2002.