

# TEKNIK KOMUNIKASI DATA DIGITAL

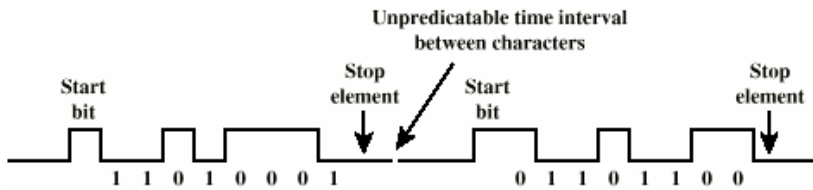
- Masalah Timing (pewaktu) memerlukan suatu mekanisme untuk mensinkronkan transmitter dan receiver
- Dua solusi
  - Asinkron
  - Sinkron

## TRANSMISI ASINKRON

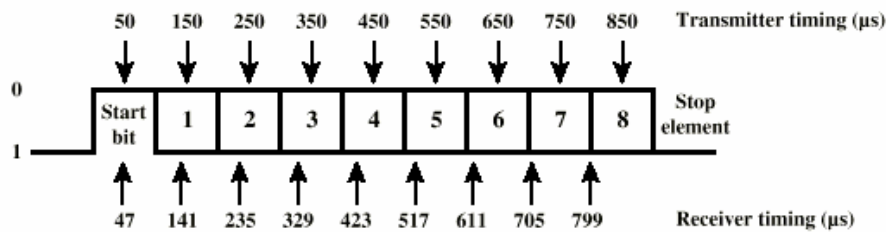
- Data ditransmisikan dengan character pada satu waktu
  - 5 sampai 8 bit
- Timing hanya perlu mengatur setiap character
- “Resync” terhadap setiap character
- Diagram :



(a) Character format



(b) 8-bit asynchronous character stream



(c) Effect of timing error

## CARA KERJA ASINKRON :

- Dalam kondisi “steady stream”, interval antar character adalah uniform (panjang elemen stop)
- Dalam kondisi “idle”, receiver melihat transisi 1 ke 0
- Kemudian mencuplik tujuh interval berikutnya (panjang char)
- Kemudian melihat 1 ke 0 berikutnya untuk char berikutnya
- Mudah
- Murah
- Overhead 2 atau 3 bit per char (~20%)
- Bagus untuk data dengan gap yang lebar

## TRANSMISI SINKRON

- Blok data ditransmisikan tanpa bit start atau stop
- Clock harus disinkronkan
- Bisa menggunakan jalur clock yang terpisah
  - Bagus pada jarak dekat
  - Subject to impairments
- Sinyal clock dapat digabung kedalam data
  - Manchester encoding
  - Frekuensi Carrier (analog)

**Frame** adalah data plus kontrol informasi. Format yang tepat dari frame tergantung dari metode transmisinya, yaitu :

### 1. Transmisi *character-oriented*

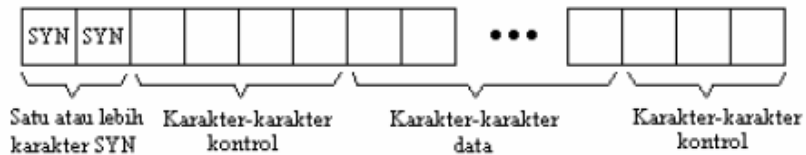
- Blok data diperlakukan sebagai rangkaian karakter-karakter (biasanya 8 bit karakter).
- Semua kontrol informasi dalam bentuk karakter.
- Frame dimulai dengan 1 atau lebih 'karakter sinkronisasi' yang disebut SYN, yaitu pola bit khusus yang memberi sinyal ke receiver bahwa ini adalah awal dari suatu blok.
- Sedangkan untuk postamblynya juga dipakai karakter khusus yang lain.

- Jadi receiver diberitahu bahwa suatu blok data sedang masuk, oleh karakter SYN, dan menerima data tersebut sampai terlihat karakter postamble. Kemudian menunggu pola SYN yang berikutnya.
- Alternatif lain yaitu dengan panjang frame sebagai bagian dari kontrol informasi; receiver menunggu karakter SYN, menentukan panjang frame, membaca tanda sejumlah karakter dan kemudian menunggu karakter SYN berikutnya untuk memulai frame berikutnya.

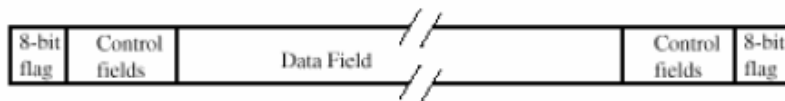
## 2. Transmisi *bit-oriented*

- Blok data diperlakukan sebagai serangkaian bit-bit.
- Kontrol informasi dalam bentuk 8 bit karakter.
- Pada transmisi ini, preamble bit yang panjangnya 8 bit dan dinyatakan sebagai suatu flag sedangkan postamble-nya memakai flag yang sama pula.
- Receiver mencari pola flag terhadap sinyal start dari frame. Yang diikuti oleh sejumlah kontrol field. Kemudian sejumlah data field, kontrol field dan akhirnya flag-nya diulangi.

Perbedaan dari kedua metode diatas terletak pada format detilnya dan kontrol informasinya.



(a) Frame Character-oriented



(b) Frame Bit-oriented

# TEKNIK DETEKSI DAN KOREKSI KESALAHAN

## TIGA KELAS PROBABILITAS HASIL

Ketika suatu frame ditransmisikan, tiga kelas probabilitas yang dapat muncul pada akhir penerimaan :

- Klas 1 (P1) : frame tiba tanpa bit-bit error.
- Klas 2 (P2) : frame tiba dengan satu atau lebih bit-bit error yang tidak terdeteksi.
- Klas 3 (P3) : frame tiba dengan satu atau lebih bit-bit error yang terdeteksi dan tidak ada bit-bit error yang tidak terdeteksi.

Persamaan dari probabilitas diatas dapat dinyatakan sebagai :

$$P1 = (1 - PB)^{nf}$$
$$P2 = 1 - P1$$

dimana :

nf = jumlah bit per frame

PB = probabilitas yang diberikan oleh bit apapun adalah error (konstan, tergantung posisi bit).

Teknik deteksi error menggunakan error-detecting-code, yaitu tambahan bit yang ditambah oleh transmitter, dihitung sebagai suatu fungsi dari transmisi bit-bit lain. Kemudian pada receiver dilakukan perhitungan yang sama dan membandingkan kedua hasil tersebut, dan bila tidak cocok maka berarti terjadi deteksi error.

## TEKNIK DETEKSI ERROR

### 1. PARITY CHECKS

Deteksi bit error yang paling sederhana parity bit pada akhir tiap word dalam frame. Terdapat dua jenis parity bit ini :

- Even parity : jumlah dari binary '1' yang genap --> dipakai untuk transmisi asynchronous.
- Odd parity : jumlah dari binary '1' yang ganjil --> dipakai untuk transmisi synchronous.

Atau menggunakan operasi exclusive-OR dari bit-bit tersebut dimana akan menghasilkan binary '0' untuk even parity dan menghasilkan binary '1' untuk odd parity.

#### Catatan :

exclusive-OR dari 2 digit binary adalah 0 bila kedua digitnya adalah 0 atau keduanya = 1; jika digitnya beda maka hasilnya = 1.

#### Problem dari parity bit :

Impulse noise yang cukup panjang merusak lebih dari satu bit, pada data rate yang tinggi.

## 2. CYCLIC REDUNDANCY CHECKS (CRC)

Diberikan suatu k-bit frame atau message, transmitter membentuk serangkaian n-bit, yang dikenal sebagai frame check sequence (FCS). Jadi frame yang dihasilkan terdiri dari k+n bits. Receiver kemudian membagi frame yang datang dengan beberapa angka dan jika tidak ada remainder (sisa) dianggap tidak ada error.

Beberapa cara yang menjelaskan prosedur diatas, yaitu :

### 1. Modulo 2 arithmetic

Menggunakan penjumlahan binary dengan tanpa carry, dimana hanya merupakan operasi exclusive-OR.

### 2. Polynomials

Dalam bentuk variabel x dengan koefisien-koefisien binary. Koefisien-koefisien tersebut berhubungan dengan bit-bit dalam binary sehingga proses CRC-nya dapat dijabarkan sebagai :

$$1. \begin{array}{r} X M(X) \\ \hline P(X) \end{array} = \begin{array}{r} Q(X) + R(X) \\ \hline P(X) \end{array}$$

$$2. T(X) = X M(X) + R(X)$$

Error  $E(X)$  hanya tidak akan terdeteksi bila dapat dibagi dengan  $P(X)$ .

Error-error yang dapat dideteksi yang tidak dapat dibagi oleh  $P(X)$  :

1. Semua error bit tunggal.
2. Semua error bit ganda, sepanjang  $P(X)$  mempunyai faktor paling sedikit 3 syarat.
3. Jumlah error genap apapun, sepanjang  $P(X)$  mengandung faktor  $(X + 1)$ .
4. Burst error apapun dengan panjang burst lebih kecil daripada panjang FCS.
5. Burst error yang paling besar.

### 3. *Shift registers dan gate exclusive -OR*

**Shift register** adalah device penyimpan string 1 bit dimana terdapat sebuah line output, yang mengindikasikan nilai yang dimuat, dan sebuah line input. Seluruh register di-clock secara simultan, yang menyebabkan 1 bit bergeser sepanjang seluruh register .

Sirkuit ini dapat dipenuhi sebagai berikut :

1. Register mengandung  $n$  bits, sama dengan panjang FCS.
2. Ada lebih dari  $n$  gate exclusive-OR.
3. Keberadaan dan ketiadaan suatu gate tergantung pada keberadaan atau ketiadaan dari suatu syarat dalam polynomial pembagi,  $P(X)$ .

Message kemudian masuk per bit pada suatu waktu dimulai dengan MSB. Message  $M$  akan di-shift ke register dari input bit. Proses ini berlanjut sampai semua bit dari message  $M$  ditambah 5 bit nol. 5 bit nol ini menggeser  $M$  ke kiri 5 posisi untuk memuat FCS. Setelah bit terakhir diproses, maka shift register memuat remainder (FCS) yang mana akan ditransmisi kemudian.

Pada receiver, tiap bit  $M$  yang tiba, disisipi ke dalam shift register. Jika tidak ada error, shift register akan memuat bit pattern untuk  $R$  pada akhir dari  $M$ . Bit  $R$  yang ditransmisi sekarang mulai tiba dan efeknya yaitu menolkan register pada akhir penerimaan, register memuat semua nol.

## FORWARD ERROR CORRECTION

*Error-correcting codes* dinyatakan sebagai *forward error correction* untuk mengindikasikan bahwa receiver sedang mengoreksi error. Contohnya: pada komunikasi broadcast digunakan transmisi simplex.

Metode transmisi ulang dinyatakan sebagai *backward error correction* karena receiver memberi informasi balik ke transmitter yang kemudian mentransmisi ulang data yang error.